

④ Int. Cl.

G. 06 F 12/00
13/16
13/42
15/16

識別記号

3 0 3
3 4 0
3 2 0

庁内整理番号

P-8841-5B
H-8841-5B
A-8840-5B
B-6745-5B

⑤ 公告 昭和63年(1988)9月19日

発明の数 1 (全3頁)

⑥ 発明の名称 記憶装置

⑦ 特 願 昭55-89232

⑧ 公 開 昭57-14922

⑨ 出 願 昭55(1980)7月2日

⑩ 昭57(1982)1月26日

⑪ 発 明 者 田 菜 原 一

神奈川県高野市堤山下1番地 株式会社日立製作所神奈川工場内

⑫ 出 願 人 株式会社日立製作所

⑬ 代 理 人 弁理士 小川 勝男

東京都千代田区神田駿河台4丁目6番地 外1名

⑭ 審査官 大 橋 隆 夫

⑮ 参考文献 特開 昭55-935 (JP, A)

特開 昭54-61848 (JP, A)

特開 昭53-69556 (JP, A)

実開 昭55-118398 (JP, U)

特公 昭49-33421 (JP, B1)

① 特許請求の範囲

1 複数位相から成る中央処理装置の基本クロックに同期して動作する記憶装置において、インタフェース信号を受信するラッチとインタフェース信号を送信するラッチとを有し、前記中央処理装置から送られるいずれかの位相の前記基本クロックを選択して前記受信ラッチ、送信ラッチに供給するクロック・セレクトと、外部から設定されることにより前記クロック・セレクトの選択条件を保持し前記クロック・セレクトを制御する構成制御レジスタとを前記受信ラッチおよび送信ラッチ対応に設けることを特徴とする記憶装置。

発明の詳細な説明

本発明は、記憶装置（以下MSと記す）に関し特にインタフェース信号の受信および送信クロックを自由に選択できるMSに関するものである。

中央処理装置（以下CPUと記す）の基本クロックに同期してインタフェース信号の受信および送信動作を行うMSにおいては、CPUのマシンサイクル、およびCPUとMS間のケーブル長等による遅れを考慮して、CPUとMS間の転送時間を、1/4、2/4、3/4または4/4マシン・サイクル等のうちの何れかに決定している。

それから、MSはCPUにおけるインタフェース

信号の送信および受信時間と、さらに前述のように決定された転送時間により、インタフェース信号の受信および送信クロックを決定する。

第1図は、従来のMSとCPUの接続図である。

MS1には、インタフェース受信ラッチ2、インタフェース送信ラッチ3、制御部4および記憶部5が設けられ、インタフェース受信ラッチ2と送信ラッチ3を介してCPU6に接続される。

CPU6から転送されるn本のインタフェース信号Si(1-n)は、各々クロック信号ijでインタフェース受信ラッチ2にラッチされる。このラッチ情報により、制御部4および記憶部5が動作する。

インタフェース送信ラッチ3は、この一連の動作の報告情報をクロック信号ijによりm本のインタフェース信号So(1-m)としてCPU6に送信する。

第1図の場合、インタフェース受信ラッチ2およびインタフェース送信ラッチ3のラッチ・クロックijは、各々CPU6のクロック発生部10から分配されたクロックが使用され、CPU6におけるインタフェース信号の送信および受信クロックに対し、CPU6とMS1間の転送時間(1/4、2/4、3/4または4/4マシン・サイクル等)だけず

らしたクロックが用いられる。

このように、従来は、MSにおけるインタフェース信号の受信および送信のクロックが、ハードウェアにより固定されているため、マシン・サイクルの変更、接続ケーブル長の変更が発生した場合、ハードウェアの大幅な変更が必要である。また、マシン・サイクルまたは接続ケーブル長の異なる他のCPUからMSを共用することが不可能であり、MSは特定のCPU専用になつてゐる。

本発明の目的は、このような従来の問題を解決するため、インタフェース系の時間関係に論理的な自由度を与え、ハードウェアを変更することなくマシン・サイクルの異なる多種のCPUへの接続、およびインタフェース系の時間関係の変更を可能にしたMSを提供することにある。

本発明のMSは、CPUから送られるいずれかの位相の基本クロックを選択して受信ラッチ、送信ラッチに供給するクロック・セレクトと、外部から設定されることによりクロック・セレクトの選択条件を保持しクロック・セレクトを制御する構成制御レジスタとを受信ラッチおよび送信ラッチ対応に設けることを特徴とする。

以下、本発明の実施例を、第2図により説明する。

MS 1は、従来と同じく、インタフェース受信ラッチ2、インタフェース送信ラッチ3、制御部4および記憶部5を備え、CPU 6に接続される。10は従来技術と同じくクロック発生部であり、 $\frac{1}{4}$ 、 $\frac{2}{4}$ 、 $\frac{3}{4}$ および $\frac{4}{4}$ マシン・サイクルに等しいクロック、すなわち4相のクロックの場合の例である。4相クロックの場合以下で示す n または n は $0 \leq n \leq 3$ である。CPU 6から転送された n 本のインタフェース信号 $Si(1-n)$ は、各々クロック信号 ti でインタフェース受信ラッチ2にラッチされる。このラッチ情報により、制御部4および記憶部5が動作する。

インタフェース送信ラッチ3は、この一連の動作の報告情報を、クロック信号 tj により m 本のインタフェース信号 $So(1-m)$ としてCPU 6に送信する。

MS 1は、これらの他に構成制御レジスタ7およびクロック・セレクト8を備えており、インタフェース受信ラッチ2およびインタフェース送信

ラッチ3のラッチ・クロックは、各々クロック・セレクト8により論理的に選択されたクロック ti または tj を受ける。また、このクロック・セレクト8による論理的なクロック選択は構成制御レジスタ7により制御される。ここで構成制御レジスタ7は4相の場合 n のうちのいずれかを記憶しセレクト8に指示できるような構成になつておればよく、たとえばレジスタ7の内容が00、01、10または11に応じてそれぞれ t_0 、 t_1 、 t_2 または t_3 を指定する。セレクト8はクロック発生部10から送られるクロックがレジスタ7で指定されたクロックと一致したときゲートを開くような構成になつていれよい。一般に ti および tj であるからインタフェース受信ラッチ2およびインタフェース送信ラッチ3についてそれぞれ別の構成制御レジスタ7およびクロック・セレクト8が必要である。さらに構成制御レジスタ7への選択条件の書き込みはスキャン・インまたはパネルのスイッチ操作等の種々の方法により実行可能である。

以上述べたように、一般に構成制御レジスタ7およびクロック・セレクト8は複数組設けられており、各々構成制御レジスタ7への書き込みにより、インタフェース信号の受信および送信クロックを論理的に自由に選択することが可能である。

以上説明したように、本発明によれば、MSのインタフェース信号の受信および送信クロックを論理的に自由に選択できるため、マシン・サイクルまたは接続ケーブル長の異なる他のCPUによるMSの共用が可能であり、また特定のCPUと接続された状態では、マシン・サイクルの変更、接続ケーブル長の変更、あるいはメモリ素子の性能変更の際に、ハードウェアを変更する必要がない。さらに、試験的にクロック信号を変更して、インタフェース信号のマージナル試験を簡単に行うことができる。

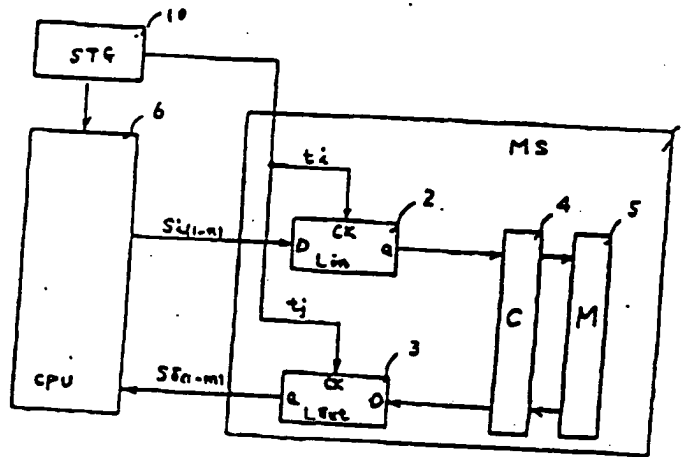
図面の簡単な説明

第1図は従来のMSとCPUとの接続図、第2図は本発明の実施例を示すMSとCPUとの接続図である。

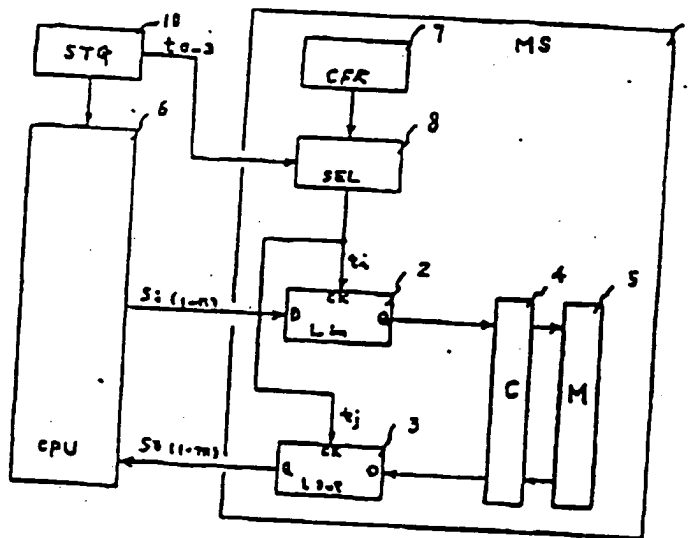
1……記憶装置 (MS)、2……インタフェース受信ラッチ、3……インタフェース送信ラッチ、4……制御部、5……記憶部、6……中央処理装置 (CPU)、7……構成制御レジスタ、8……クロック・セレクト、10……クロック発生

部、 t_{0-3} 基本クロック、 $Si(1-n)$ インタフェース受信信号、 $Si(1-m)$ インタフェース送信信号、 $Si(1-n)$ インタ

オ 1 図



オ 2 図



(19) Japanese Patent Office (JP)

(12) Patent Gazette (B2)

(11) Japanese Patent Application Kokoku Publication No. S63-46864

(51) Int. Cl. ⁴	Identification Symbol	JPO File Number	
G 06 F 12/00	303	P-8841-5B	
13/16		H-8841-5B	
13/42	340	A-8840-5B	
15/16	320	B-6745-5B	

(24) (44) Kokoku Publication Date: September 19, 1988

Number of Inventions: 1

(Total of 3 pages in the original Japanese)

(54) Title of the Invention: Memory storage device

(21) Patent Application Filing Number: S55-89232

(22) Patent Application Filing Date: July 2, 1980

(55) Kokai Publication: S57-14922

(43) Kokai Publication Date: January 26, 1982

(72) Inventor: Junichi Taguri
c/o Hitachi, Ltd. Kanagawa Plant
1 Horiyamashita, Hadano City, Kanagawa

(71) Applicant: Hitachi, Ltd.
4-6 Kanda Surugadai, Chiyoda-ku, Tokyo

(74) Agent: Katsuo Ogawa, Patent Attorney and one other

Examiner: Takao Ohashi

(56) References: Kokai No. S55-935 (JP, A) Kokai No. S54-61848 (JP, A)
Kokai No. S53-69556 (JP, A) Jikkai No. S55-118398 (JP, U)
Kokoku No. S49-33421 (JP, B1)

[translator's note: Kokai is an unexamined patent application publication
Kokoku is an examined patent application publication
Jikkai is an unexamined utility model application publication]

(57) Claims

1 In a memory storage device that operates synchronized to the master clock of a central processing unit consisting of multiple phases, a memory storage device characterized by the fact that

a latch that receives an interface signal and a latch that sends an interface signal are possessed, and that

a clock selector that selects the above-mentioned master clock of any phase sent from the above-mentioned central processing unit and supplies to the above-mentioned receiving latch and sending latch, and

a configuration control register that holds the selection conditions of the above-mentioned clock selector by being established from the outside and controls the above-mentioned clock selector

are provided in the above-mentioned receiving latch and sending latch mapping.

3. Detailed Description of the Invention

The present invention relates to a memory storage device (hereafter referred to as "MS"), particularly, one related to an MS that can freely select the receiving and sending clocks of the interface signal.

In an MS that carries out the receiving and sending operations of the interface signal synchronized with the master clock of the central processing unit (hereafter referred to as "CPU"), taking into consideration the delay due to the machine cycles of the CPU, as well as the length of the cable between the CPU and the MS, and the like, the transfer time between the CPU and the MS is decided among any of 1/4, 2/4, 3/4 or 4/4 machine cycles, and the like.

After that, the MS decides the interface signal receiving and sending clock based on the sending and receiving time of the interface signal in the CPU, and furthermore, the transfer time decided as mentioned above.

FIG. 1 is a connection diagram of the conventional MS and CPU.

In MS1 an interface receiving latch 2, an interface sending latch 3, a control part 4 and a memory part 5 are provided and connected to the CPU 6 via the interface receiving latch 2 and sending latch 3.

The n interface signals S_i ($1 - n$) transferred from the CPU 6 are latched to the interface receiving latch 2 by the respective clock signals ti . The control part 4 and the memory part 5 operate according to this latch information.

The interface sending latch 3 sends the report information of this series of operations to the CPU 6 as m interface signals S_o ($1 - m$) according to the clock signal tj .

In the case of FIG. 1, as for the latch clocks ti , tj of the interface receiving latch 2 and the interface sending latch 3, the respective clocks divided from the clock generating part 10 of the CPU 6 are used, and with respect to the sending and receiving clocks of the

conditions to the configuration control register 7 can be executed by various methods such as scanning in and operating a panel switch.

As mentioned above, usually, multiple sets of the configuration control register 7 and the clock selector 8 are provided, and logically and freely selecting the interface signal receiving and sending clocks is possible by the writing in to each configuration control register 7.

As explained above, according to the present invention, because the receiving and sending clocks of the interface signals of the MS can be logically and freely selected, the sharing of the MS by CPUs that have different machine cycles or connection cable lengths is possible, and in the state of being connected to a specific CPU, there is no necessity to change the hardware at the time of a change of the machine cycles, a change of the connection cable length, or a change of the performance of the memory device. Moreover, the clock signal can be changed experimentally, and a marginal test of the interface signal can be carried out simply.

4. Brief Description of the Drawings

FIG. 1 is a connection diagram of the conventional MS and CPU; FIG. 2 is a connection diagram of the MS and CPU that shows the embodiment of the present invention.

- 1 memory storage device (MS)
- 2 interface receiving latch
- 3 interface sending latch
- 4 control part
- 5 memory part
- 6 central processing unit (CPU)
- 7 configuration control register
- 8 clock selector
- 10 clock generating part
- to - ³ master clock
- $S_i(1 - n)$ interface receiving signal
- $S_i(1 - m)$ interface sending signal

FIG. 1

FIG. 2